

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-112222

(43)Date of publication of application : 22.04.1994

(51)Int.Cl.

H01L 21/336

H01L 29/784

H01L 21/265

(21)Application number : 04-258401

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 28.09.1992

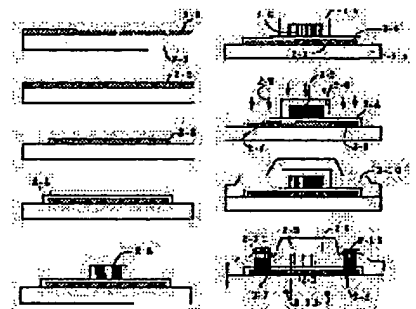
(72)Inventor : TAKENAKA SATOSHI

## (54) FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PURPOSE:** To provide a terminal film transistor having low off-leak current but high on-current by building an off-set gate structure or LDD structure in a simple process.

**CONSTITUTION:** An amorphous Si film 2-2 is deposited on a quartz substrate 2-1, and thermally treated at 400-500° C to release hydrogen for solid phase growth of the amorphous film 2-2. With a solid phase growth anneal temperature set to 500-700° C, a large-size particle silicon film is patterned into an island shape for forming a gate oxide film 2-4. Then, as required, a boron is channel-ion implanted and a gate electrode 2-5 is formed for oxidation, so that a gate electrode oxide film 2-6 is film-formed. Further, an impurity is ion implanted into the first semiconductor layer for forming source and drain areas 2-7 and 2-8 in self-matching manner, so that an inter-layer insulation film 2-10 is laminated. Thus a contact hole is formed and source and drain electrodes 2-11 and 2-12 are formed, with the result that a film transistor of lesser on-current drop and off-leak current is realized.



### LEGAL STATUS

[Date of request for examination] 16.09.1999

[Date of sending the examiner's decision of rejection] 09.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-112222

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 21/336

29/784

21/265

9056-4M

H01L 29/78

311 P

8617-4M

21/265

L

審査請求 未請求 請求項の数5(全11頁) 最終頁に続く

(21)出願番号 特願平4-258401

(22)出願日 平成4年(1992)9月28日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 竹中 敏

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

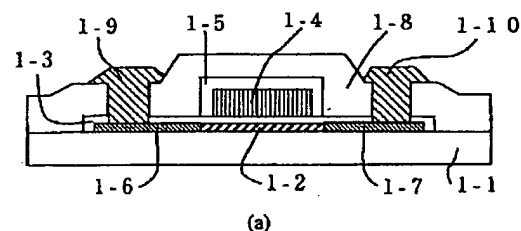
(54)【発明の名称】 薄膜半導体装置及びその製造方法

(57)【要約】

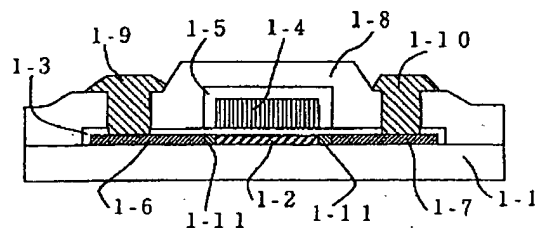
【目的】 簡単な工程でオフセットゲート構造およびLDD構造を作成し、薄膜トランジスタのオフリーク電流を低減することを目的とする。

【構成】 ゲート電極を多結晶シリコンで形成し、ソース、およびドレイン領域を形成する前にゲート電極を酸化させてこれを細らせ、オフセット領域を形成する。

【効果】 フォト工程の増加なしでオフセットゲート構造、およびLDD構造の薄膜トランジスタを作成できる。従って、低コストおよび高歩留まりでオフリーク電流の低減が実現された。さらに、ゲート電極の低抵抗化が実現された。



(a)



(b)

## 【特許請求の範囲】

【請求項1】 ソース領域、ドレイン領域、チャネル領域、ゲート絶縁膜および多結晶シリコン薄膜により形成されたゲート電極を有するプレーナー型薄膜半導体装置において、該ゲート電極は熱酸化膜に覆われ、さらにゲート酸化膜の下のソース領域端部およびドレイン領域端部が前記ゲート電極とオーバーラップしないことを特徴とする薄膜半導体装置。

【請求項2】 請求項1の薄膜半導体装置の製造方法に於て、

- (a) 絶縁性非晶質材料上に第1の半導体層を形成し、該半導体層上にゲート絶縁膜を成膜する工程、
- (b) 前記ゲート絶縁膜上に多結晶シリコンによりゲート電極を形成する工程、(c) 前記ゲート電極をマスクとしてリン、ヒ素あるいはボロン等の不純物をイオン注入することにより、前記ゲート電極に対して自己整合的に、ソース領域、ドレイン領域を形成する工程、
- (d) 前記ゲート電極を熱酸化させることにより絶縁膜を成膜し、ゲート電極を細らせるとともに、ソースおよびドレイン領域を活性化させる工程、
- (e) 層間絶縁膜を積層する工程、
- (f) 前記第1の半導体層とのコンタクトを形成するために、フォトリソ工程により、前記層間絶縁膜にコンタクトホールを形成し、電極を形成する工程を少なくとも有することを特徴とする薄膜半導体装置の製造方法。

【請求項3】 請求項1の薄膜半導体装置の製造方法に於て、(a) 絶縁性非晶質材料上に第1の半導体層を形成し、該半導体層上にゲート絶縁膜を成膜する工程、

- (b) 前記ゲート絶縁膜上に多結晶シリコンによりゲート電極を形成する工程、(c) 前記ゲート電極を熱酸化させることにより絶縁膜を成膜し、ゲート電極を細らせる工程、
- (d) 前記ゲート電極をマスクとしてリン、ヒ素あるいはボロン等の不純物をイオン注入することにより、前記ゲート電極に対して自己整合的に、ソース領域、ドレイン領域を形成する工程、
- (e) 層間絶縁膜を積層する工程、
- (f) アニールする工程、
- (g) 前記第1の半導体層とのコンタクトを形成するために、フォトリソ工程により、前記層間絶縁膜にコンタクトホールを形成し、電極を形成する工程を少なくとも有することを特徴とする薄膜半導体装置の製造方法。

【請求項4】 ソース領域、ドレイン領域、チャネル領域、ゲート絶縁膜および多結晶シリコン薄膜により形成されたゲート電極を有するプレーナー型薄膜半導体装置において、該ゲート電極は熱酸化膜に覆われ、ゲート酸化膜の下のソース領域端部およびドレイン領域端部が前記ゲート電極の酸化膜端と重なり、さらに、ソース領域端部およびドレイン領域端部とチャネル領域との間に低濃度に不純物添加されたLDD (Lightly Do 50

ped Drain) 領域を有することを特徴とする薄膜半導体装置。

【請求項5】 請求項4の薄膜半導体装置の製造方法に於て、

- (a) 絶縁性非晶質材料上に第1の半導体層を形成し、該半導体層上にゲート絶縁膜を成膜する工程、
- (b) 前記ゲート絶縁膜上に多結晶シリコンによりゲート電極を形成する工程、(c) 前記ゲート電極をマスクとしてリン、ヒ素あるいはボロン等の不純物をイオン注入することにより、前記ゲート電極に対して自己整合的に、ソース領域、ドレイン領域を形成する工程、
- (d) 前記ゲート電極を熱酸化させることにより絶縁膜を成膜し、ゲート電極を細らせるとともに、ソースおよびドレイン領域を活性化させる工程、
- (e) 低濃度のリン、ヒ素あるいはボロン等の不純物をイオン注入することにより、前記ゲート電極に対して自己整合的に、LDD領域を形成する工程、
- (f) 層間絶縁膜を積層する工程、
- (g) 前記第1の半導体層とのコンタクトを形成するために、フォトリソ工程により、前記層間絶縁膜にコンタクトホールを形成し、電極を形成する工程を少なくとも有することを特徴とする薄膜半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、石英基板あるいはガラス基板のような絶縁性非晶質材料上に形成されるプレーナー型の薄膜半導体装置において、オン電流が大きく、オフリーク電流の極めて少ない薄膜半導体装置の構造およびその製造方法に関する。

## 【0002】

【従来の技術】 薄膜トランジスタのオン電流や易動度を増大させるためには絶縁基板上に結晶性の優れた半導体薄膜を形成することが必要であり、固相成長法あるいはレーザーアニール法等の方法が知られている。【SOI構造形成技術、産業図書】 また、通常の薄膜トランジスタのオフ領域におけるリーク電流は、ドレイン領域近傍の電界強度に強く依存しており、ゲート電圧をオフ側に大きくして行くとオフリーク電流は大きくはね上がる。オフリーク電流を低減させるためには、LDD (Lightly doped drain) 構造あるいはオフセットゲート構造を形成することが有効であることが知られている。

【0003】 従来のLDD構造あるいはオフセットゲート構造においては、異方性エッチングを利用してゲート電極側壁を設けるなどの複雑な工程が必要であった。また、チャネル部のオフセット領域は高抵抗であるために、オン電流が低減してしまうという問題点があった。側壁を構成する絶縁膜を堆積させる工程も増す。

【0004】 このようなドレイン耐圧の低下を防ぐために、LDD (Lightly Doped Drai

n) 構造を形成する方法がある。このプロセスについて図9及び図10で簡単に説明する。図9及び図10ではゲート電極形成から、層間絶縁膜形成までの工程を説明する。図9(a)において9-1は絶縁性非晶質材料、9-2はシリコン薄膜、9-3はゲート絶縁膜、9-4はゲート電極をしめしている。

【0005】次に、低濃度のイオン注入を行い、オフセット領域9-5を形成する。ドーズ量は $1 \times 10^{11} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 程度の低濃度とし、Nchならばリン等のドナー型の不純物を、またPchならばボロン等のアクセプター型の不純物をイオン注入する。矢印9-6はイオンビームを示している。

【0006】続いて、側壁を形成する工程にはいる。まず、 $\text{SiO}_2$ 膜9-7を成膜する。その後、異方性エッチングによって該 $\text{SiO}_2$ 膜9-7をエッチングすると図9(d)9-8で示されるような側壁が形成される。次に、図10(a)に示されるようにゲート電極9-4および側壁9-8をマスクとしてイオン注入してソース領域9-9、およびドレイン領域9-10を形成する。該ソース、ドレイン領域のドーズ量は $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度とし、前記オフセット領域9-5のドーズ量よりも多くする。

【0007】図9(b)に示されるように層間絶縁膜9-12を成膜し、活性化アニールを行う。その後、コンタクト電極を形成する工程に続く。

【0008】

【発明が解決しようとする課題】以上述べた従来の方法では異方性エッチングを行うために、マイクロ波プラズマエッチング法や、ECRエッチング法、あるいは低圧マグネトロンRIE(Reactive Ion Etching)法等の方法がある。しかし、これらの方法を例えば30cm角の大型基板の処理に応用する場合には基板内のばらつきが問題となる。図9(d)に示したような側壁9-8の微妙な形状を制御しなければならないのでこの問題は大きい。更に、 $\text{SiO}_2$ 膜9-7の膜厚のばらつきも影響を与える。また、LDD構造の構造上の性質からオン電流が低減するという問題点がある。

【0009】本発明は、上記のような従来のプロセスの問題点を解決し、工程安定性に問題がある異方性エッチング技術を用いなくて優れたLDD型薄膜トランジスタを形成し、オフ電流が低く、オン電流の低減を最小限に抑えた優れた薄膜トランジスタを作成する方法を提供することを目的としている。

【0010】本発明は、以上述べたような問題点を解決し、簡単な工程でオフセットゲート構造あるいはLDD構造をつくり込むことによって、きわめてオフリーク電流が低く、オフ領域でのオフリーク電流の跳ね上がりを抑え、しかもオン電流の大きな優れた3端子薄膜トランジスタを実現することを目的としている。

【0011】

【課題を解決するための手段】本発明は、ソース領域、ドレイン領域、チャネル領域、ゲート絶縁膜および多結晶シリコン薄膜により形成されたゲート電極を有するプレーナー型薄膜半導体装置において、該ゲート電極は熱酸化膜に覆われ、さらにゲート酸化膜の下のソース領域端部およびドレイン領域端部が前記ゲート電極とオーバーラップしないことを特徴とする。

【0012】さらに、薄膜半導体装置の製造方法に於て、(a) 絶縁性非晶質材料上に第1の半導体層を形成し、該半導体層上にゲート絶縁膜を成膜する工程、

(b) 前記ゲート絶縁膜上に多結晶シリコンによりゲート電極を形成する工程、(c) 前記ゲート電極をマスクとしてリン、ヒ素あるいはボロン等の不純物をイオン注入することにより、前記ゲート電極に対して自己整合的に、ソース領域、ドレイン領域を形成する工程、

(d) 前記ゲート電極を熱酸化させることにより絶縁膜を成膜し、ゲート電極を細らせるとともに、ソースおよびドレイン領域を活性化させる工程、(e) 層間絶縁膜を積層する工程、(f) 前記第1の半導体層とのコンタクトを形成するために、フォトリソ工程により、前記層間絶縁膜にコンタクトホールを形成し、電極を形成する工程を少なくとも有することを特徴とする。

【0013】さらに、薄膜半導体装置の製造方法に於て、(a) 絶縁性非晶質材料上に第1の半導体層を形成し、該半導体層上にゲート絶縁膜を成膜する工程、

(b) 前記ゲート絶縁膜上に多結晶シリコンによりゲート電極を形成する工程、(c) 前記ゲート電極を熱酸化させることにより絶縁膜を成膜し、ゲート電極を細らせる工程、(d) 前記ゲート電極をマスクとしてリン、ヒ素あるいはボロン等の不純物をイオン注入することにより、前記ゲート電極に対して自己整合的に、ソース領域、ドレイン領域を形成する工程、(e) 層間絶縁膜を積層する工程、(f) アニールする工程、

(g) 前記第1の半導体層とのコンタクトを形成するために、フォトリソ工程により、前記層間絶縁膜にコンタクトホールを形成し、電極を形成する工程を少なくとも有することを特徴とする。

【0014】本発明における第2の発明は、ソース領域、ドレイン領域、チャネル領域、ゲート絶縁膜および多結晶シリコン薄膜により形成されたゲート電極を有するプレーナー型薄膜半導体装置において、該ゲート電極は熱酸化膜に覆われ、ゲート酸化膜の下のソース領域端部およびドレイン領域端部が前記ゲート電極の酸化膜端と重なり、さらに、ソース領域端部およびドレイン領域端部とチャネル領域との間に低濃度に不純物添加されたLDD(Lightly Doped Drain)領域を有することを特徴とする。

【0015】さらに、薄膜半導体装置の製造方法に於て、(a) 絶縁性非晶質材料上に第1の半導体層を形成し、該半導体層上にゲート絶縁膜を成膜する工程、

(b) 前記ゲート絶縁膜上に多結晶シリコンによりゲート電極を形成する工程、(c) 前記ゲート電極をマスクとしてリン、ヒ素あるいはボロン等の不純物をイオン注入することにより、前記ゲート電極に対して自己整合的に、ソース領域、ドレイン領域を形成する工程、

(d) 前記ゲート電極を熱酸化させることにより絶縁膜を成膜し、ゲート電極を細らせるとともに、ソースおよびドレイン領域を活性化させる工程、(e) 低濃度のリン、ヒ素あるいはボロン等の不純物をイオン注入することにより、前記ゲート電極に対して自己整合的に、LDD領域を形成する工程、(f) 層間絶縁膜を積層する工程、(g) 前記第1の半導体層とのコンタクトを形成するために、フォトリソ工程により、前記層間絶縁膜にコンタクトホールを形成し、電極を形成する工程を少なくとも有することを特徴とする。

#### 【0016】

【実施例】本発明の薄膜トランジスタの断面構造を図1に示す。本発明によって提案する2個の構造を示す。詳しくは製造方法に沿って説明するのでまず簡単に説明する。図1(a)はオフセットゲート構造、図1(b)はLDD構造を示している。1-1は絶縁性非晶質材料、1-2は半導体薄膜、1-3はゲート絶縁膜、1-4はゲート電極、1-5は該ゲート電極を熱酸化させて形成したゲート電極酸化膜、1-6はソース領域、1-7はドレイン領域、1-8は層間絶縁膜、1-9はソース電極、1-10はドレイン電極、1-11はLDD領域を示している。以下に、実施例1から2として、図1

(a)と(b)の製造方法をそれぞれ説明する。(実施例1)図1(a)に示した本発明のオフセットゲート構造を有する薄膜トランジスタについて、製造プロセスに

【0017】絶縁性非晶質材料上に、非単結晶半導体薄膜を成膜する。前記絶縁性非晶質材料としては、石英基板、ガラス基板、窒化膜あるいは $\text{SiO}_2$ 膜等が用いられる。石英基板を用いる場合はプロセス温度は1200℃程度まで許容されるが、ガラス基板を用いる場合は、600℃以下の低温プロセスに制限される。以下では、石英基板を用い、前記非単結晶半導体薄膜として固相成長 $\text{Si}$ 薄膜を用いた場合を実施例として説明する。もちろん、固相成長 $\text{Si}$ 薄膜ばかりでなく、減圧CVD法やプラズマCVD法あるいはスパッタ法等で成膜された多結晶 $\text{Si}$ 薄膜やSOI(Silicon on Insulator)を用いても本発明を実現することができる。

【0018】プラズマCVD装置を用い、図2(a)に示すように石英基板2-1上に、 $\text{SiH}_4$ と $\text{H}_2$ の混合ガスを、13.56MHzの高周波グロー放電により分解させて非晶質 $\text{Si}$ 膜2-2を堆積させる。前記混合ガスの $\text{SiH}_4$ 分圧は10~20%、デボ中の内圧は0.5~1.5torr程度である。基板温度は250℃以

下、180℃程度が適している。赤外吸収測定より結合水素量を求めたところ約8atomic%であった。前記非晶質 $\text{Si}$ 膜2-2の堆積前のチェンバーをフレオン洗浄し、続いて堆積させられた非晶質 $\text{Si}$ 膜は $2 \times 10^{18} \text{cm}^{-3}$ の弗素を含んでいる。従って、本発明においては、前記フレオン洗浄後、ダミーの堆積を行ってから、実際の堆積を行う。あるいは、フレオン洗浄を廃止し、ピーズ処理等の別の方法でチェンバーの洗浄を行う。

【0019】続いて、該非晶質 $\text{Si}$ 膜を、400℃~500℃で熱処理して水素を放出させる。この工程は、水素の爆発的な脱離を防ぐことを目的としている。

【0020】次に、前記非晶質薄膜2-2を固相成長させる。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。1×10<sup>-6</sup>から1×10<sup>-10</sup>Torrの高真空雰囲気アニールを行ってもよい。固相成長アニール温度は500℃~700℃とする。この様な低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長し、しかもゆっくりと大きく成長する。発明者の実験において、アニール温度600℃、アニール時間16時間で固相成長させることにより2μm以上の大粒径シリコン薄膜が得られている。図2(b)において、2-3は固相成長シリコン薄膜を示している。

【0021】以上は、固相成長法によるシリコン薄膜の作製方法について説明したが、そのほかに、LPCVD法あるいはスパッタ法や蒸着法等の方法でシリコン薄膜を作製してもよい。

【0022】次に、前記固相成長シリコン薄膜をフォトリソグラフィ法によって図2(c)に示されているように島状にパターンニングする。

【0023】次に図2(d)に示されているように、ゲート酸化膜2-4を形成する。該ゲート酸化膜の形成方法としてはLPCVD法、あるいは光励起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500℃以下の低温方法がある。該低温方法で成膜されたゲート酸化膜は、熱処理することによってより緻密で界面単位の少ない優れた膜となる。非晶質絶縁基板2-1として石英基板を用いる場合は、熱酸化法によることができる。該熱酸化法にはdry酸化法とwet酸化法とがある。約800℃以上で酸化膜が生成される。石英基板を用いるにはたとえば1000℃以上のなるべく高い温度でdry酸化させるのが適している。ゲート酸化膜の膜厚は、500Åから1500Å程度が適している。

【0024】ゲート酸化膜形成後、必要に応じてボロンをチャネルイオン注入し、チャネルドーピングしてもよい。これは、Nch薄膜トランジスタのスレッショルド電圧がマイナス側にシフトすること、およびPch薄膜ト

ランジスタのスレッショルド電圧がプラス側にシフトすることを防ぐことを目的としている。前記非晶質シリコン膜のデポ膜厚が500~1500Å程度の場合は、ボロンのドーズ量は $1 \times 10^{12} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 程度が適している。前記非晶質シリコン膜の膜厚が500Å以下の薄い場合にはボロンドーズ量を少なくし、目安としては $1 \times 10^{12} \text{ cm}^{-2}$ 以下にする。また、前記膜厚が1500Å以上の厚い場合にはボロンドーズ量を多くし、目安としては $5 \times 10^{12} \text{ cm}^{-2}$ 以上にする。

【0025】チャンネルイオン注入のかわりに、2-2のシリコン膜の堆積時にボロンを添加してもよい。これは、シリコン膜堆積時にチャンパー中にシランガスと共にジボランガス( $\text{B}_2\text{H}_6$ )を流して反応させることによって得られる。

【0026】次に図2(e)に示されるように、ゲート電極2-5を形成する。該ゲート電極材料としては多結晶シリコン薄膜、あるいはモリブデンシリサイドやタングステンシリサイドやチタンシリサイドなどのようなシリサイド膜、あるいはアルミニウムやクロムなどのような金属膜、あるいはITOや $\text{SnO}_2$ などのような透明性導電膜などを用いることができる。成膜方法としては、CVD法、スパッタ法、真空蒸着法、プラズマCVD法等の方法があるが、ここでの詳しい説明は省略する。

【0027】つぎに、図3(a)に示されるように前記ゲート電極を酸化させてゲート電極酸化膜2-6を成膜する。この工程によって、ゲート電極の表面のみを酸化膜で覆う事が出来る。該ゲート電極酸化膜2-6の形成方法としては前述したように、LPCVD法、あるいは光励起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500℃以下の低温方法がある。

【0028】次に図3(b)に示すように、イオン注入法により、前記第1の半導体層にアクセプター型またはドナー型の不純物をイオン注入し、自己整合的にソース領域およびドレイン領域を形成する。図2(b)において、2-7は高濃度にイオン注入されたソース領域、および2-8はドレイン領域を示している。

【0029】前記アクセプター型の不純物としては、ボロン(B)等を用いる。前記ドナー型の不純物としては、リン(P)あるいはヒ素(As)等を用いる。不純物添加方法としては、イオン注入法の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。2-9で示される矢印は不純物のイオンビームを表している。前記絶縁性非晶質材料2-1として石英基板を用いた場合には熱拡散法を使うことができる。不純物ドーズ量は、 $1 \times 10^{14}$ から $1 \times 10^{17} \text{ cm}^{-2}$ 程度とする。不純物濃度に換算すると、ソース2-7およびドレイン領域2-8で約 $1 \times 10^{19}$ から $1 \times 10^{22} \text{ cm}^{-3}$

程度である。

【0030】イオン注入によってソース、ドレイン領域を形成してからゲート電極を酸化させる方法もあり、これは実施例2により後に説明する。

【0031】次に、図3(c)に示すように層間絶縁膜2-10を積層する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千Åから数μm程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス( $\text{NH}_3$ )とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。続いて、前記層間絶縁膜の緻密化と前記ソース領域及びドレイン領域の活性化と結晶性の回復を目的として活性化アニールを行う。活性化アニールの条件としては、 $\text{N}_2$ ガス雰囲気中で800~1000℃程度に低温化し、アニール時間を20分~1時間程度とする。900~1000℃では20分程度のアニールで不純物はかなり活性化される。800~900℃では20分から1時間のアニールをする。一方、はじめに500~800℃で1~20時間程度のアニールにより結晶性を十分に回復させた後、900~1000℃の高温で活性化させるという2段階活性化アニール法も効果がある。また、赤外線ランプやハロゲンランプを用いたRTA(Rapid Thermal Annealing)法も効果がある。さらには、レーザービーム等を用いたレーザー活性化法を利用することも効果がある。

【0032】次に、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、結晶粒界に存在するダングリングボンドや、ゲート酸化膜界面などに存在する欠陥や、ソース、ドレイン部とチャンネル部との接合部に存在する欠陥が不活性化される。この様な水素化工程は、層間絶縁膜2-13を積層する前におこなってもよい。または、後に述べる、ソース電極とドレイン電極を形成してから前記水素化工程を行ってもよい。

【0033】次に図3(d)に示すように、層間絶縁膜2-10にコンタクトホールをフォトエッチングにより形成する。そして同図に示すようにソース電極2-11およびドレイン電極2-12を形成する。該ソース電極及びドレイン電極は、アルミニウムあるいはクロムなどの金属材料で形成する。この様にして薄膜トランジスタが形成される。

【0034】(実施例2)シリコン薄膜形成からゲート電極形成までの工程は、図4(a)から図4(e)までの図で表わされている。これらの工程は実施例1の項で述べた内容と同様なのでここでの詳しい説明は省略する。石英基板を用い、前記非単結晶半導体薄膜として固相成長Si薄膜を用いた場合を実施例として説明する。もちろん、固相成長Si薄膜ばかりでなく、減圧CVD

法やプラズマCVD法あるいはスパッタ法等で成膜された多結晶Si薄膜やSOI (Silicon on Insulator) を用いても本発明を実現することができる。

【0035】 続いて、ゲート電極形成後の工程から説明する。図5 (a) に示されるように、イオン注入法により、前記第1の半導体層にアクセプター型またはドナー型の不純物をイオン注入し、自己整合的にソース領域およびドレイン領域を形成する。図5 (a) において、2-7は高濃度にイオン注入されたソース領域、および2-8はドレイン領域を示している。詳しい説明はここでは省略する。

【0036】 つぎに、図5 (b) に示されるように、前記ゲート電極2-5を直接酸化させることによりゲート電極酸化膜2-6を成膜する。該ゲート電極酸化膜の形成方法はゲート酸化膜形成方法の説明の時に少し述べた。熱酸化法やプラズマ酸化法や高圧酸化法等の方法が考えられる。熱酸化法に関しては前に述べたので省略する。プラズマ酸化法は、酸素プラズマ中でシリコン膜を直接酸化させるもので、600°C以下の低温でも酸化膜が形成できるという特徴を持っている。高圧酸化法は、高圧酸素雰囲気中でシリコンを直接酸化させるものである。約10000 Torr から37000 Torr という高圧酸素雰囲気中では600°Cの低温で酸化膜を形成することができる。ゲート酸化膜形成後なのでゲート電極酸化膜はなるべく低温で形成することが望ましい。

【0037】 これ以降の工程は実施例1の図3 (c) からの工程と全く同じなので、ここでの説明は省略する。

【0038】 (実施例3) 次に、図1 (b) で示された本発明における第2の発明の実施例について説明する。

絶縁性非晶質材料上に、非単結晶半導体薄膜を成膜する。前記絶縁性非晶質材料としては、石英基板、ガラス基板、窒化膜あるいはSiO<sub>2</sub> 膜等が用いられる。石英基板を用いる場合はプロセス温度は1200°C程度まで許容されるが、ガラス基板を用いる場合は、600°C以下の低温プロセスに制限される。以下では、石英基板を用い、前記非単結晶半導体薄膜として固相成長Si薄膜を用いた場合を実施例として説明する。シリコン薄膜形成からゲート電極形成までの工程は図6 (a) から図6 (e) までに表わされている。これらの工程は実施例1の項で述べた内容と同様なのでここでの詳しい説明は省略する。

【0039】 続いて、ゲート電極形成後の工程から説明する。図7 (a) に示されるように、イオン注入法により、前記第1の半導体層にアクセプター型またはドナー型の不純物をイオン注入し、自己整合的にソース領域およびドレイン領域を形成する。図7 (a) において、7-5は高濃度にイオン注入されたソース領域、および7-6はドレイン領域を示している。

【0040】 前記アクセプター型の不純物としては、ボロン(B)等を用いる。前記ドナー型の不純物としては、リン(P)あるいはヒ素(As)等を用いる。不純物添加方法としては、イオン注入法の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。7-7で示される矢印は不純物のイオンビームを表している。前記絶縁性非晶質材料7-1として石英基板を用いた場合には熱拡散法を使うことができる。不純物ドーズ量は、 $1 \times 10^{14}$  から  $1 \times 10^{17} \text{ cm}^{-2}$  程度とする。不純物濃度に換算すると、ソース領域7-5およびドレイン領域7-6で約  $1 \times 10^{19}$  から  $1 \times 10^{22} \text{ cm}^{-3}$  程度である。

【0041】 つぎに、図7 (b) に示されるよう前記ゲート電極7-4を酸化させてゲート電極酸化膜7-8を形成する。該ゲート電極酸化膜の形成方法に関しては、実施例1および実施例2において説明したのでここでの詳しい説明は省略する。

【0042】 続いて図7 (c) に示すように、低濃度の不純物元素の添加を行い、LDD領域7-9を形成する。ゲート電極7-4をマスクとして自己整合的にLDD領域7-9を形成する。7-10は不純物のイオンビームをあらわしている。ソース、ドレイン領域と同様に、Nch薄膜トランジスタの場合はドナー型の不純物を、Pch薄膜トランジスタの場合はアクセプター型の不純物を添加する。LDD領域の不純物濃度は、前記ソース、ドレイン領域の不純物濃度よりも少なくする。イオン注入法を用いる場合はイオン注入ドーズ量としては、 $1 \times 10^{12}$  ~  $1 \times 10^{14} \text{ cm}^{-2}$  程度とする。不純物濃度では  $1 \times 10^{17}$  ~  $1 \times 10^{19} \text{ cm}^{-3}$  程度となる。不純物添加方法としては、イオン注入法の他に、先にも述べたように、レーザードーピング法あるいはプラズマドーピング法などの方法がある。

【0043】 次に、層間絶縁膜7-11を積層する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千Åから数μm程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス(NH<sub>3</sub>)とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。 続いて、前記層間絶縁膜の緻密化と前記ソース領域及びドレイン領域の活性化と結晶性の回復を目的として活性化アニールを行う。活性化アニールの条件としては、N<sub>2</sub> ガス雰囲気中で800~1000°C程度に低温化し、アニール時間を20分~1時間程度とする。900~1000°Cでは20分程度のアニールで不純物はかなり活性化される。800~900°Cでは20分から1時間のアニールをする。一方、はじめに500~800°Cで1~20時間程度のアニールにより結晶性を十分に回復させた後、900~1000°Cの高温で活性化させるという2段階

活性化アニール法も効果がある。また、赤外線ランプやハロゲンランプを用いたRTA (Rapid Thermal Annealing) 法も効果がある。さらには、レーザービーム等を用いたレーザー活性化法を利用することも効果がある。

【0044】次に、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、結晶粒界に存在するダングリングボンドや、ゲート酸化膜界面などに存在する欠陥や、ソース、ドレイン部とチャネル部との接合部に存在する欠陥が不活性化される。この様な水素化工程は、層間絶縁膜7-11を積層する前におこなってもよい。または、後に述べる、ソース電極とドレイン電極を形成してから前記水素化工程を行ってもよい。

【0045】次に、層間絶縁膜7-11にコンタクトホールをフォトエッチングにより形成する。そしてソース電極7-12およびドレイン電極7-13を形成する。該ソース電極及びドレイン電極は、アルミニウムあるいはクロムあるいはモリブデンなどの金属材料で形成する。この様にして薄膜トランジスタが形成される。

【0046】

【発明の効果】以上説明したように、実施例1および実施例2で述べた本発明のようなオフセットゲート構造により、オフリーク電流の極めて低い薄膜トランジスタを実現することができる。さらに、ゲート電極を直接酸化させる事によってゲート電極を細らせ、ソース、ドレイン端とチャネル層との間にオフセット領域を設けたので、フォト工程を増やす事なくオフセットゲート構造の薄膜トランジスタを作成する事が可能となった。従来のオフセットゲート構造薄膜トランジスタを作成するためには従来技術の項で説明したとおり、側壁形成等の複雑な工程を通さなくても低オフリーク電流の薄膜トランジスタを作成する事が出来るようになった。従って、作成コストの低減、あるいは歩留まりの向上に対して極めて大きな効果が期待される。また、ゲート電極はリン等の不純物が高濃度に添加されたN型poly-Siで構成されているため、これを酸化させるとその不純物が充分活性化される。このように本発明はゲート電極配線抵抗の低抵抗化に対しても極めて大きな効果がある。

【0047】オフセットゲート構造では、オフセット領域の抵抗が高いためにオン電流の低下と言う問題点が考えられる。そこで、実施例1および実施例2で説明した発明を応用してLDD構造を作製する方法を述べたのが実施例3である。本発明のようなLDD構造により、オフリーク電流が極めて低いと同時にオン電流の大きな薄膜トランジスタを実現することができる。実施例3の項で述べたように、側壁形成のような複雑な工程およびフォト工程を増やす事なしでLDD構造を作成する事が可能となった。従来のLDD構造の薄膜トランジスタを作製するには異方性エッチングによりゲート電極側壁をも

うけてLDD領域を形成していたが、本発明に依って、このような複雑な工程を省略することが可能となった。従って、製造コストの低減、歩留まり向上に大きな効果がある。さらに、ゲート電極配線抵抗の低抵抗化に対しても極めて大きな効果がある。

【0048】以上述べたように、本発明により、3端子のままで、オン電流の低減が極めて少なく、オフリーク電流のきわめて少ない薄膜トランジスタを非常に簡単な工程で作製することが可能となった。本発明は非常に大きな効果をもたらすものである。

【0049】図8に、トランジスタ特性に対する本発明の効果を図示して説明する。図8は、Nch薄膜トランジスタの特性を示す図である。横軸はゲート電圧、縦軸はドレイン電流を表している。8-1は従来の非オフセットゲート構造薄膜トランジスタのトランジスタカーブである。大きなオン電流が得られるが、オフリーク電流が大きく、オフ領域においてゲート電圧に依存したオフリーク電流のはねあがり非常に大きい。8-2は従来のオフセットゲート構造薄膜トランジスタのトランジスタカーブである。オフリーク電流は低減されそのはね上がりも抑えられているが、オン電流が低下してしまう。これは、オフセット領域が高抵抗領域としてチャネル領域に直列につながっているからである。これに対して本発明により作製した薄膜トランジスタのトランジスタカーブは8-3に示す曲線で示されている。本発明により、非オフセットゲート構造薄膜トランジスタと同程度のオン電流を確保したままで、オフリーク電流の低減が実現される。

【0050】固相成長法を用いることによって、非晶質絶縁基板上に結晶性の優れたシリコン薄膜を作製することが可能になったのでSOI技術の発展に大きく寄与するものである。

【0051】本発明によって作製された薄膜トランジスタは優れた特性を有する。従来に比べて、薄膜トランジスタのオフリーク電流は小さくなる。またスレッショルド電圧も小さくなりトランジスタ特性が大きく改善される。また、簡単な工程でオフセットゲート構造を作成できるので、低コスト化、および歩留まり向上に大きな効果がある。さらに、ゲート電極抵抗の低抵抗化に対しても有効である。

【0052】非晶質絶縁基板上に優れた特性の薄膜トランジスタを作製することが可能となるので、ドライバ回路を同一基板上に集積したアクティブマトリクス基板に応用した場合にも十分な高速動作が実現される。オフリーク電流が非常に小さいことから画素の保持特性も向上する。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、600℃以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板の低価格化及び大面積化に対してもその効果は大きい。ハイビジョンパネル用のライトバルブ



の実現に対しても大きく貢献するものである。

【0053】本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4サイズあるいはA3サイズの様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本継ぎのような手数がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上される。

【0054】石英基板やガラス基板だけではなく、サファイア基板あるいは  $MgO \cdot Al_2O_3$ , BP,  $CaF_2$  等の結晶性絶縁基板も用いることができる。

【0055】以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのようなSOI技術を利用した素子に対しても、本発明を応用することができる。

【0056】固相成長法を例にとって本発明について説明したが、本発明は固相成長法ばかりではなく、LPCVD法やその他の方法、例えばEB蒸着法やスパッタ法やMBE法で成膜したpoly-Si薄膜を利用して薄膜半導体装置を作成する場合にも応用することができる。また、一般的なMOS型半導体装置にも応用することができ

【図面の簡単な説明】

【図1】 (a)と(b)は、本発明の薄膜トランジスタの構造断面図である。

【図2】 (a)から(e)は、本発明の実施例を示す薄膜トランジスタの工程断面図である。

【図3】 (a)から(d)は、本発明の実施例を示す薄膜トランジスタの工程断面図である。ただし、図3(a)は、図2(e)から続いている。

【図4】 (a)から(e)は、本発明の実施例を示す薄膜トランジスタの工程断面図である。

【図5】 (a)と(b)は、本発明の実施例を示す薄膜トランジスタの工程断面図である。ただし、図5(a)は、図4(e)から続いている。

【図6】 (a)から(e)は、本発明の実施例を示す薄膜トランジスタの工程断面図である。

【図7】 (a)から(d)は、本発明の実施例を示す薄膜トランジスタの工程断面図である。ただし、図7(a)は、図6(e)から続いている。

【図8】 本発明の効果を示すNch薄膜トランジスタの特性図である。

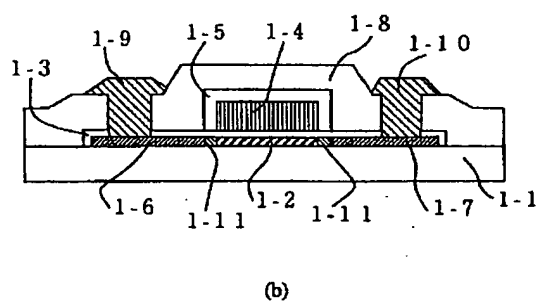
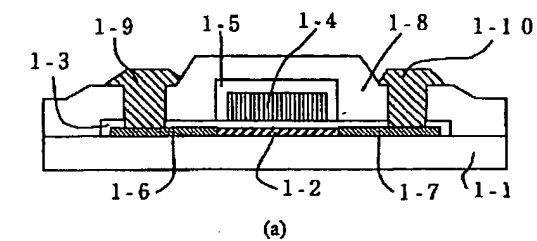
【図9】 (a)から(d)は、従来のオフセットゲート構造薄膜トランジスタを説明するための構造断面図である。

【図10】 (a)と(b)は、従来のオフセットゲート構造薄膜トランジスタを説明するための構造断面図である。ただし、図10(a)は、図9(d)から続いている。

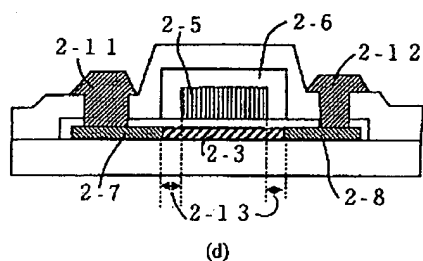
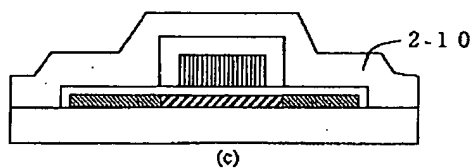
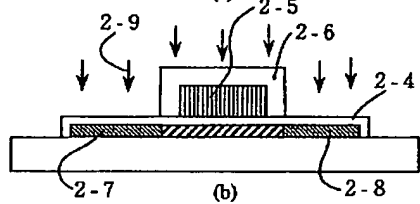
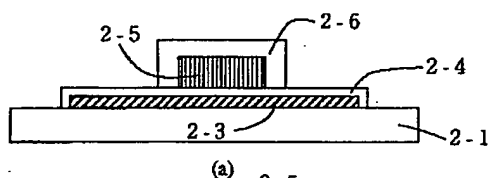
【符号の説明】

- 1-3 ゲート絶縁膜
- 1-4 ゲート電極
- 1-5 ゲート電極酸化膜
- 1-11 LDD領域
- 2-4 ゲート絶縁膜
- 2-5 ゲート電極
- 2-6 ゲート電極酸化膜
- 2-7 ソース領域
- 2-8 ドレイン領域
- 2-13 オフセット領域
- 7-4 ゲート電極
- 7-8 ゲート電極酸化膜
- 7-9 LDD領域
- 8-1 従来方法により作製した非オフセットゲート構造Nch薄膜トランジスタの特性
- 8-2 従来方法により作製したオフセットゲート構造Nch薄膜トランジスタの特性
- 8-3 本発明により作製したNch薄膜トランジスタの特性

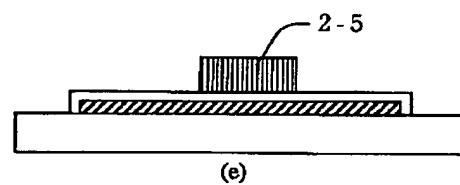
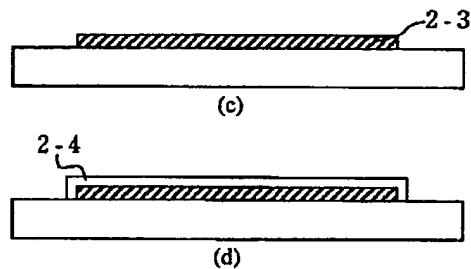
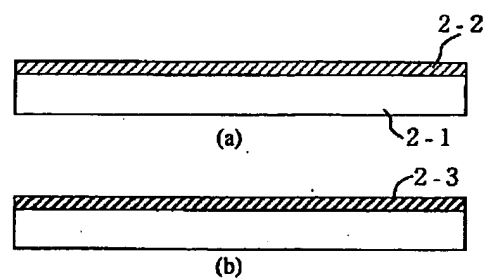
【図1】



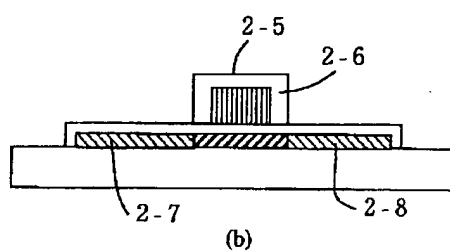
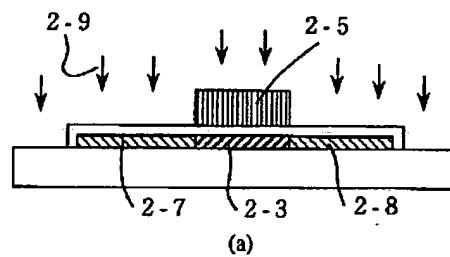
【図3】



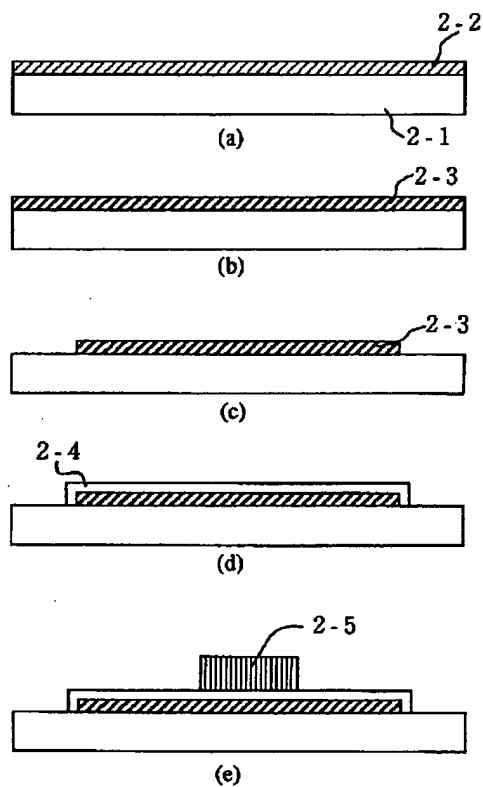
【図2】



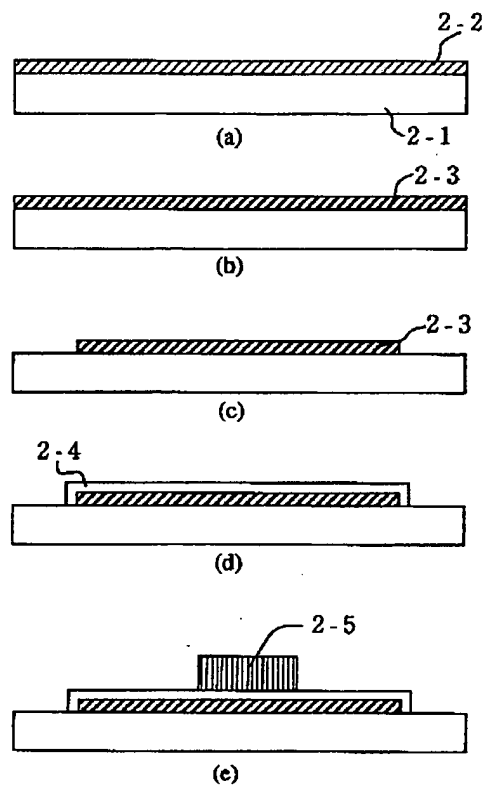
【図5】



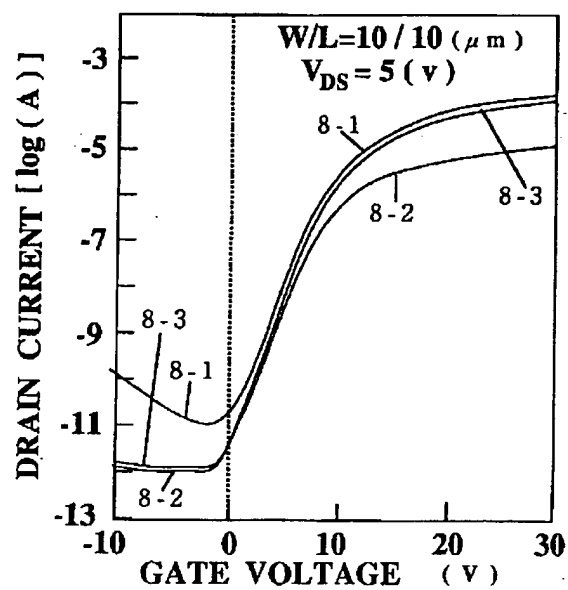
【図4】



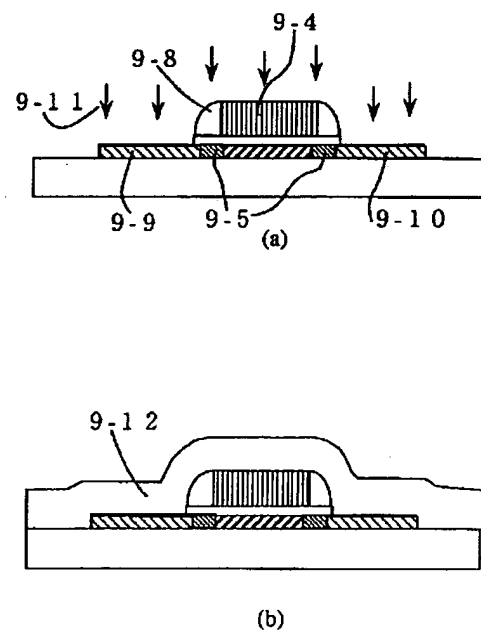
【図6】



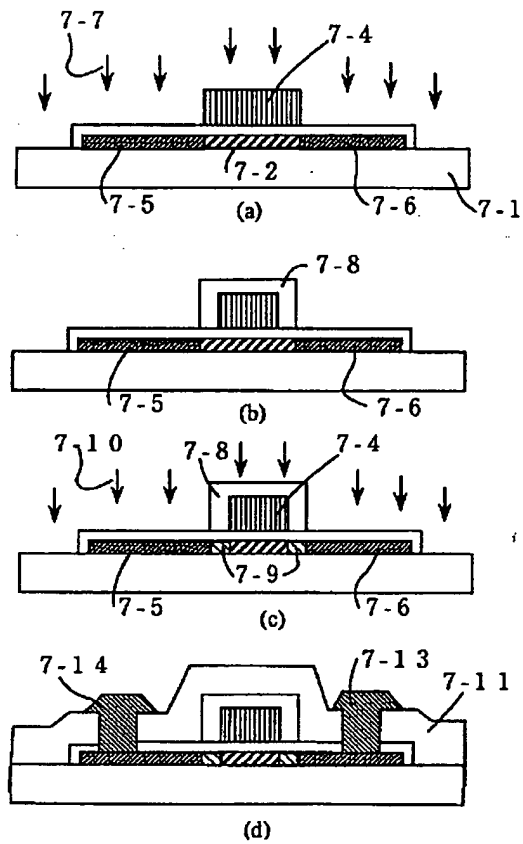
【図8】



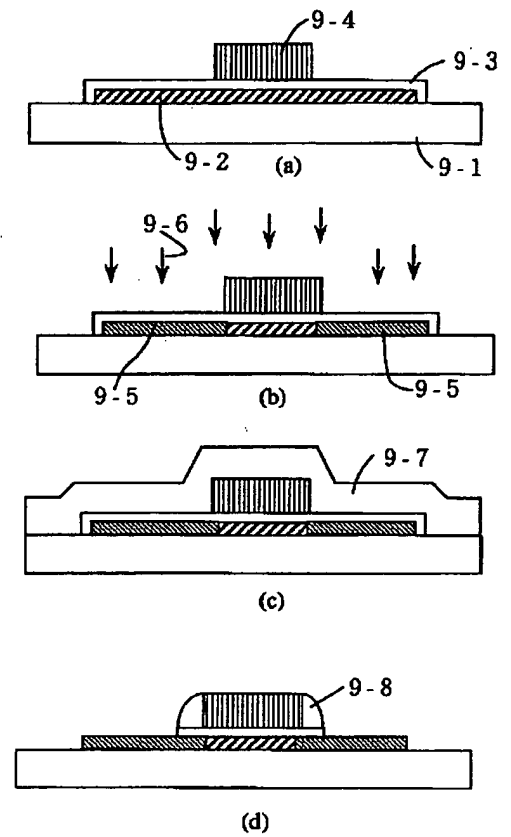
【図10】



【図7】



【図9】



フロントページの続き

(51) Int. Cl.<sup>5</sup>

識別記号

庁内整理番号  
9056-4M

FI

H01L 29/78

技術表示箇所

311 G